

國家科學及技術委員會 函

地址：臺北市和平東路二段106號
聯絡人：黃士育 副研究員
電話：02-2737-7374
傳真：02-2737-7673
電子信箱：syhuang@nstc.gov.tw

受文者：國立臺北科技大學

發文日期：中華民國112年12月12日
發文字號：科會工字第1120081591號
速別：普通件
密等及解密條件或保密期限：

附件：如文 (112E0P000462_112D2036075-01.pdf、112E0P000462_112D2036076-01.pdf、112E0P000462_112D2036077-01.pdf、112E0P000462_112D2036078-01.odt)

主旨：本會113年度「高效能晶片關鍵技術與創新應用計畫」自即日起接受申請，請於113年2月20日（星期二）前函送本會，逾期不予受理，請查照轉知。

說明：

本案校內申請至113.2.13(星期二)
下午5時止，逾期恕不予受理。

- 一、依本會補助專題研究計畫作業要點規定辦理，申請機構及計畫主持人務必先行詳閱本計畫徵求公告及相關附件各項規定。
- 二、本計畫申請案全面實施線上申請，各類書表請務必至本會網站 (<https://www.nstc.gov.tw>) 進入「學術研發服務網」製作；計畫類別：「專題類-隨到隨審計畫 | 一般策略專案計畫」，學門代碼：「E9878-高效能晶片關鍵技術與創新應用計畫」，子學門代碼依計畫所屬分項點選其中之一「E987801-高運算力晶片、E987802-高頻、高功率電路與模組、E987803-前瞻技術挑戰」，以利識別。
- 三、本計畫未獲補助案件恕不受理申覆。

研究發展處



1120025327

四、檢附計畫徵求公告1份，並公告於本會工程處網站
(<https://www.nstc.gov.tw/eng/ch>)。

五、計畫徵求說明會資訊：

(一)時間：112年12月20日(三) 上午10點。

(二)地點：國立中山大學行政大樓7007會議室，除實體會議
參與外，亦可以線上視訊會議方式參與。

(三)參與方式：實體參與及視訊參與者皆請事先報名，會議
相關更新資訊及視訊會議網址將於12月18日前e-mail通
知，報名網址：<https://reurl.cc/dmM182>。

正本：專題研究計畫受補助單位（共301單位）

副本：本會綜合規劃處、工程處(均含附件)



主任委員吳政忠

國科會工程處

113 年度「高效能晶片關鍵技術與創新應用計畫」徵求公告

壹、計畫背景及目的

近年來，新興科技的發展趨勢，無論是人工智慧、智慧物聯網、無人載具、自駕車、元宇宙、下世代行動通訊，甚至於到太空科技、金融服務、智慧醫療等，其關鍵科技都脫離不了半導體技術。因此，半導體技術的研究發展及產業布局，已成為全球各主要國家高度重視的核心議題。許多國家包括美國、歐盟、日韓、中國大陸等，都針對此領域推出不同的政策及補助，希望能在未來的科技競爭中脫穎而出。

經過數十年的努力及耕耘，臺灣半導體產業在全球占有舉足輕重的關鍵地位，包括晶圓代工全球產能第一、封裝測試全球產能第一、IC 設計全球第二，而且擁有全球最先進的製程技術，全球 10nm 以下晶片有 70%以上來自臺灣。根據工研院產科國際所統計，2022 年臺灣 IC 產業產值達新臺幣 48,370 億元(USD\$162.3B)，較 2021 年成長 18.5%。其中 IC 設計業產值為新臺幣 12,320 億元(USD\$41.3B)，較 2021 年成長 1.4%；IC 製造業為新臺幣 29,203 億元(USD\$98.0B)，較 2021 年成長 31.0%。臺灣雖然在相關產業繳出了亮麗的成績，但是在各國的政策加持下，未來如何能持續成長甚至於保持領先，仍面臨到非常艱難的挑戰。

展望未來，除了持續投入半導體製程的研發之外，如何加強在 IC 設計領域的競爭力，並且與半導體製程的優勢相輔相成，尤其是在先進製程的晶片開發上，進而加速切入高值應用領域布局，將是未來發展的重點，也希望藉此帶動產業全面升級，以持續穩固我國半導體產業領先地位。

本計畫「高效能晶片關鍵技術與創新應用計畫」，以「掌握高效能半導體

晶片關鍵自主技術與培育多元晶片設計人才，帶動新興產業成長動能，邁向2035年晶片建構創新應用生態系。」為願景，聚焦於高運算力、高頻、高功率電路與模組關鍵技術研發以及前瞻技術，鼓勵學界往16/7nm FinFET製程、異質整合技術及特殊應用製程發展，以符合產業人才需求。為支援各項研究主題之執行，將由國研院台灣半導體研究中心(TSRI)提供高效能晶片系統設計、製作、量測及異質整合服務。

貳、研發方向

國科會在「高效能晶片關鍵技術與創新應用計畫」所提出的規劃，主要依據國際半導體科技發展趨勢、國內半導體產業鏈的生態系、國內學研單位的相關研發能量，規劃出下列研究重點，引導並鼓勵有豐沛研究能量的臺灣學界提出前瞻性解決方案。本計畫徵求之研究重點分為三大分項(詳細說明請見附件一)。

- 一、 高運算力晶片
- 二、 高頻、高功率電路與模組
- 三、 前瞻技術挑戰

參、計畫撰寫說明

- 一、 計畫摘要:請於研究計畫中英文摘要(表CM02)具體說明要解決的問題和技術突破點，以達成本計畫所推動之頂尖研發目標或超越國際級相關研究的成果。
- 二、 計畫目標:依計畫徵求所列研究重點，提出明確陳述整體總目標，且以本計畫終極目標挑戰計畫內容。

- 三、 計畫內容：鼓勵學界勇於提出不同於現有技術之前瞻性解決方案，以達成本計畫挑戰國際級成果之精神，並陳述各年度研發目標、計畫規劃藍圖(roadmap)、國內外現況分析、所欲達成之量化技術指標、達到該指標之執行策略等要項。
- 四、 產學研合作：本專案計畫鼓勵於計畫書內陳述與業界或經濟部法人單位有實質合作之規劃項目與內容，並附上【合作意願書】(格式如附件三)，請將此意願書附於計畫書表 CM03 研究計畫內容之後，作為計畫評分的參考。
- 五、 資源與專長整合：為導入軟硬體系統整合技術以實現次系統之展示，鼓勵籌組跨領域研究團隊，並槓桿 TSRI 研發環境，團隊若需使用 TSRI 的資源及研究環境，請參考附件二，提出相關規劃。各子計畫間的垂直整合之規劃需於計畫書中具體敘明。
- 六、 研究成果矽智財(IP)分享共用：為使國家資源投入研發成果有效運用，鼓勵研究團隊未來將研究成果所產生的矽智財(IP)，無償導入於國研院半導體研究中心 IP 資料庫，分享共用給本專案研究團隊可以在學術研究上使用，讓跨團隊合作加速本專案的整體研發速度，有意願分享之團隊將獲得較多晶片下線經費的支持。
- 七、 增進國際影響力：鼓勵與國際團隊共同合作或交流，並積極參與相關國際性活動如國際頂尖會議與期刊論文發表，以提升台灣晶片設計研發實力。

肆、計畫申請、審查及核定

一、申請須知

- (一) 申請機構與計畫主持人(申請人)須符合本會補助專題研究計畫作業要點之規定。
- (二) 本專案須規劃申請 5 年期計畫，自 113 年 5 月 1 日至 118 年 4 月 30 日，且以單一整合型研究計畫為限。
- (三) 每一整合型計畫之總計畫及所有子計畫全部書寫於一份計畫書，子計畫應為三個(含)以上，最多以不超過六個為原則。總計畫主持人須同時主持 1 項子計畫，各主持人應實質參與研究，計畫書應詳實註明各主持人負責之研究主題，整合之計畫需有總體明確的目標，並由總計畫主持人之服務機關提出申請。未依規定申請者，恕不予受理審查。
- (四) 每一計畫每年度申請總額以不超過 2,000 萬元為原則。
- (五) 計畫請從三大研究分項中，擇一申請最相關之分項，本會將邀請相關領域專家學者就計畫內容進行審查。
- (六) 申請程序：
 1. 計畫申請作業，自即日起接受申請，請申請人依本會補助專題研究計畫作業要點，研提正式計畫申請書(採線上申請)；申請人之任職機構應於 113 年 2 月 20 日(星期二)前備函送達本會(請彙整造冊後專案函送，逾期恕不受理)。
 2. 計畫書撰寫時，請採用本會專題研究計畫申請書格式；線上申請時，請選擇「專題類-隨到隨審計畫」；計畫類別點選「一般策略專案計畫」；研究型別點選「整合型計畫」；計畫歸屬點選「工程處」；學門代碼點選「E9878-高效能晶片關鍵技術與創新應用計畫」，子學門代碼依計畫所屬分項點選其中之一「E987801-高運算力晶片、E987802-

高頻、高功率電路與模組、E987803-前瞻技術挑戰」。

(七)計畫內容(表 CM03)頁數應符合工程處專題研究計畫申請書頁數限制之規範。

二、 審查與核定

(一) 審查方式包括初審及複審，如有必要將安排計畫申請人簡報計畫內容。

(二) 本計畫屬專案計畫，審查未獲通過者，恕無申覆機制。

(三) 本計畫申請人須規劃申請 5 年期計畫，自 113 年 5 月 1 日至 118 年 4 月 30 日，業經審查通過，核定補助二年(自 113 年 5 月 1 日至 115 年 4 月 30 日)；計畫執行第二年期時，將進行成果審查，各執行團隊參考審查意見，以修訂計畫內容，再重新提送後續年度計畫書；本會可視情況調整作業時程。

(四) 審查重點：

1. 計畫提案之企圖心與本計畫欲突破晶片規格項目之切合度。
2. 技術可行性：需提出具體分年技術規劃藍圖(roadmap)。
3. 新穎性與學術研究卓越。
4. 計畫所提技術之理論基礎。
5. 計畫主持人之執行力。
6. 團隊成員之互補性與跨專長、跨學門資源整合能力。
7. 產業合作(含工研院)與未來落地應用之規劃。
8. 研究成果矽智財(IP)導入於國研院半導體研究中心 IP 資料庫之規劃。
9. 關鍵專利之布局規劃。

(五) 本專案之總計畫及子計畫主持人，本會得核給研究主持費最高每個月

新台幣 30,000 元，以鼓勵總計畫及子計畫主持人能專注投入執行。

總計畫及子計畫主持人於計畫執行期間僅得支領 1 份研究主持費，同一執行期限若同時執行 2 件以上，以最高額度計算，並得於不同計畫內採差額方式核給。

(六) 本計畫列入國科會專題研究計畫件數計算額度，經核定補助後，列入總計畫主持人執行計畫件數，子計畫主持人則不列入計算。

伍、執行與考評

- 一、 本會將對執行計畫定期進行考評，執行團隊必須配合提供計畫執行進度與成果，並出席各項審查會議(需要時並作實地訪視)。
- 二、 執行團隊須配合本會進行計畫執行成果發表、推廣應用及交流等工作推動。
- 三、 如未依規定繳交報告或執行成效未如預期且計畫主持人未盡力改善時，本會得調減次年度經費或終止執行該計畫。

陸、其他注意事項

- 一、 各年度所需經費如未獲立法院審議通過或經部分刪減，本會得依審議結果調減補助經費，並按預算法第五十四條規定辦理。
- 二、 計畫成果發表除須註明本會補助外，亦請註明本計畫名稱或計畫編號。
- 三、 本計畫之簽約、撥款、延期與變更、經費結報及報告繳交等應依本會補助專題研究計畫作業要點、本會補助專題研究計畫經費處理原則、專題研究計畫補助合約書與執行同意書及其他有關規定辦理。
- 四、 本公告未盡事宜，應依本會補助專題研究計畫作業要點、本會補助專題研究計畫經費處理原則及其他相關法令規定辦理。

柒、計畫聯絡方式

召集人：國立中山大學電機工程學系 王朝欽教授

Tel : (07) -5252000-4144

E-mail : ccwang@ee.nsysu.edu.tw

共同召集人：國立台灣大學電子工程研究所 呂良鴻教授

Tel : (02) 33663608

E-mail : lhlu@ntu.edu.tw

國科會工程處承辦人：黃士育副研究員、李俊和博士

Tel : (02) 2737-7374

E-mail : chhlee@nstc.gov.tw

國科會工程處專任助理：許馨予小姐

Tel : (02) 2737-7525

E-mail : xyshu@nstc.gov.tw

有關計畫申請系統操作問題，請洽本會資訊系統服務專線

Tel : (02)2737-7590、7591、7592

國科會工程處

113 年度「高效能晶片關鍵技術與創新應用計畫」

分項一：高運算力晶片

壹、計畫背景及目的

隨著人工智慧與各式前瞻應用的開展，未來下一世代的電子產品與技術的關鍵在於高效能晶片系統，而製作與設計高效能晶片所需的相關技術為重中之重。因此，本工作項目主軸在於強化我國學術界所研發之矽基半導體晶片與系統的運算效能，結合 2D/3D 記憶體의 整合設計與先進製程技術，能夠達到並進一步超越高效能運算(High Performance Computing, HPC)的指標。國內學術界雖然受到經費及人力資源的限制，因此無法使用業界半導體高階製程晶片，但在各領域均有傑出人才與充沛經驗，計畫團隊仍可發展相關技術領域，透過本計畫蓄積充沛研發能量與相關技術成果，以期結合邏輯與記憶體의 整合設計，同時開發並使用先進封裝技術，建立製作高效能晶片系統所需的異質整合平台研發能量，能為國內持續提供高效能的運算晶片做出貢獻。

本工作項目將規劃五年為階段性推動目標，計畫內容包括系統架構、運算與高速傳輸關鍵設計、軟硬體技術整合、異質整合與實體驗證等領域。計畫年度目標的制定可依照計畫團隊之專長及預計執行進度以模擬、技術開發、軟硬體整合、測試載具及實體驗證漸次展現。

關於本計畫的預期關鍵成果，初期包括高階模擬分析技術的開發、使用測試載具實質展示異質整合平台使用於高效能運算系統所需的 2.5D 關鍵技術；計畫執行中期進行運算及高速傳輸關鍵晶片下線與系統模擬；預期在計畫結案時能有 HPC 雛形系統展示，而針對大型語言模型(>10B Model)的計算力能夠達到每秒 1 POPS 以上，滿足大型語言模型高維度與超大權重參數的運算需求。

希望透過本計畫的執行，掌握關鍵的運算及高速傳輸關鍵電路設計，與實現異質整合平台，並能夠有效的跨領域整合所需技術，完成軟硬體的協同整合，依序以模擬或是實體驗證的形式，完成 HPC 系統架構規劃、HPC 系統軟硬體的偕同驗證、高效能運算的半導體系統晶片、HPC 系統應用的開發，並展示能

處理大型語言模型的高效能運算解決方案。

貳、 研究議題範疇

原則上以 16/7 奈米製程評估高算力晶片方案，研究主軸包含但不限於下列領域：

1. 高算力晶片架構與電路設計：採用同質(單態樣運算核心)、異質運算(多態樣核心，如 CPU+GPU+AI Engine)的整合設計，包含內建處理器(ARM, RISC-V, ...)以及客製化的硬體加速器(AI Accelerators)，並具有可延展性的實現方案，針對 8bit(定點或浮點運算)的大型語言模型(>10B Model)的運算需求，達成全程 POPS 的算力指標。
2. 整合高頻寬記憶體的高算力晶片模組：探討不同記憶體模組(DDR4/5, HBM, AIM, ...等)及軟硬體整合，有效提升整體運算效能，並以 MLPerf 的評比指標展現系統效能。
3. 超低節能的資料傳輸解決方案：透過異質整合的堆疊技術，包含晶圓層級的封裝與小晶片的可程式化先進封裝，滿足大型語言模型運算所需求的超大頻寬與節能傳輸需求。
4. AI 邊緣應用之完整解決方案：為了推動半導體產業與 AI 符合在未來生活各面向之需求，提出 AI 晶片邊緣應用及設計的完整解決方案，包括 edge inferencing、edge learning、驅動軟體、低耗能作業系統，進一步帶動晶片設計研發產業創新與社會發展。

參、 計畫重點

隨著新興應用的蓬勃發展，高運算技術受到高度的重視，本分項的研發目標希望由系統層面考量，來提升整體的運算力、能源效率及記憶體頻寬。技術開發的項目，除了引進 FinFET 製程外，電路及架構設計的創新，以及 2D、2.5D、3D 異質整合技術等，都是發揮最大效能及算力之關鍵技術，能由不同層面切入來突破現有的瓶頸和限制，達到預期的技術指標。除此之外，也期待研發團隊能強化產學與國際合作，加速前瞻科研發展，甚至於促成創新創業、生活應用，以提升國內晶片設計產業的發展及競爭力。

分項二：高頻、高功率電路與模組

壹、計畫背景及目的

高效能的運算需要有巨量資料的連結及傳遞，因此高速的通訊將是未來高性能晶片驅動的重要方向之一。5G 通訊是現在進行式，所提供的頻寬及通訊品質仍然快速進步當中，但隨著萬物聯網，感測資料的爆炸性成長，更高資料量及低反應時間是關鍵技術。巨量的通訊需要更高頻的無線通訊，由於美國聯邦通訊委員會(FCC)已有計畫開放 95 GHz 到 3THz 範圍內的 THz 頻譜執照，這股技術趨勢將使無線通訊的中心頻率超越 100GHz 並往太赫茲(Tera Hertz, THz)邁進，同時提高 THz 通訊在經濟層面的可行性。另外，隨著半導體 FINFET 前瞻製程及毫米波電路設計進步，軟體無線電(Software-defined radio)將在未來通訊晶片中扮演重要角色，此種射頻電路彈性，因應使用者的服務需求與射頻環境而調整無線電系統。

而當大量的資料傳遞到雲端的高效能運算中心，高速運算晶片需要諸多的小晶片支援，如多核心 GPU 及寬頻的記憶體，運算晶片的資料吞吐量是極為巨大的，晶片間的有線連結也將由目前幾十 Gbps 進展超過 1Tbps 的傳輸量，要達到快速通訊及高效能的運算，有效率的晶片連結技術也勢必發展在追求極致的通訊，能量效率也必需同時達成，因此利用不同的半導體製程(如與矽光子的異質整合)結合創新高頻、高速電路，來完成複合式的通訊系統，也將是研發重點。

目前環境永續淨零碳排為全球相當矚目的議題，而高效率高功率及小型化的功率轉換系統在其中扮演一個非常重要的角色。面對一些新興應用，例如智慧電網，電動車，B5G/6G 小型基地台(small cells)，超大規模(hyperscale)資料中心，無人載具及無線功率傳輸(wireless power transfer)等，全球持續投入高功率密度及高操作頻率的小型化功率轉換系統的研發。本計畫將聚焦於利用新興化合物半導體電路與模組及異質整合技術，開發下一世代的高效率及微小化的功率轉換系統。

貳、研究議題範疇

採用非 CMOS 製程(如 SiC, Ga₂O₃, GaN, InP, Silicon Photonics, …等)，探討

高頻、高功率電路設計與模組的研發，建議的研究主軸包含但不限於下列領域：

1. 高頻電路與模組：應用於下世代行動通訊(含低軌道衛星)的前端毫米波積體電路(MMIC)，如功率放大器，低雜訊放大器，射頻開關等。
2. 高功率電路與模組：高壓、高電流功率電路與模組，應用如電動運輸載具及智慧電網等；低壓、高操作頻率及高功率密度電路與模組，應用於資料中心與 AI 伺服器的電源供應；以及前述電路與系統之先進散熱技術與封裝。
3. 矽光子技術：超高速超低功耗光連結技術、異質光電整合技術、超高頻寬驅動及接收電路、光電晶片先進封裝與測試等，以應用於 AI 晶片連結、AI 高速運算、資料中心。

參、計畫重點

非 CMOS 製程高頻、高功率電路與模組應用之落實，在高頻方面以符合 W-band 甚至於 D-band 的操作頻率為目標；在高功率方面以 3300V 高壓之系統應用為主。而低壓、高操作頻率及高功率密度的 AI 晶片供電應用，應達成輸出功率、功率密度、效率分別大於 50 W、2500W/in³ 與 90% 為開發之技術指標。此外，矽光子應用的開發重點，則以異質積體化先進封裝技術，以達到矽光子光收發機單通道 200Gb/s (功耗<5pJ/bit；低延遲<100ns)，且具有 WDM 技術，可在兩個波長以上進行傳輸，以突破現有門檻之應用目標。

分項三：前瞻技術挑戰

壹、計畫背景及目的

現階段所有的資料驅動應用，除了強化高算力與高傳輸的晶片設計外，如何有效降低(一)運算的功耗，達成 fJ/b(每位元運算低於 10^{-15} Joule)等級的節能運算，透過創新的演算模型、新型態運算架構、與電路設計的探討，提供下世代節能運算的解決方案，已成為生成式 AI 邁向應用普及化的重大挑戰議題。(二)資料感測的時間與所需求的功耗(pJ/bit)，提供高解析、高可靠的原始感測資料，滿足多元應用的需求，亦成為感測晶片能否帶動創新應用服務的關鍵議題。以具有深度資訊的影像感測晶片為例，除了是無人機、ADAS、自駕車等應用中不可或缺的關鍵技術外，在許多創新產業及應用中，也需要使用此類型的感測晶片與裝置。因此，在本項目的推動中，主要鼓勵研究團隊採用矽基製程，探討創新應用與服務所需求的關鍵技術與晶片，透過異質整合堆疊與小晶片封裝技術，針對各類場域所需求的超低能耗運算、高時間/空間解析度、低延遲感測時間、高節能效率的運算與感測晶片，結合軟硬體設計技術，達成關鍵晶片的技術指標與模組的雛型系統，也具體呈現創新設計方案的價值與潛在落地應用的效益及影響力。

貳、研究議題範疇

本分項建議的研究主軸包含但不限於下列領域：

1. 以 CMOS 製程，探討超低功耗的演算法、系統架構、以及電路實現方案，達成能耗低於 fJ/b 的推論功能。
2. 高解析、低延遲感測晶片：以具有 SPAD 元件或類似的高壓製程，完成高速與低延遲的深度影像感測晶片與模組應用，達成之技術指標規格如下：(a)影像數據量(含深度)： $> 1\text{Tb/s}$ 、(b)深度資訊： $< 1\text{cm}$ 、(c)能源效率： $< 1\text{pJ/b}$ 。
3. 以異質整合方式結合特殊應用感測晶片與高算力晶片、系統軟體，引領產業應用與服務創新者。

參、計畫重點

本分項將針對下世代運算的超低功耗運算與極低延遲、低能耗的智慧感測解決方案，研發關鍵晶片與軟硬體系統異質整合技術，並鼓勵學研團隊提出落地應用案例與雛形展示系統，透過具有國際競爭力的技術指標，包括有效降低運算的功耗、提升感測敏感度、降低感測延遲時間、提升感測能源效率等，展現此分項關鍵晶片的特色與價值創造。

國研院台灣半導體研究中心 電路設計、晶片製作及先進封裝服務平台

壹、晶片設計及驗證環境

為支援高效能晶片(HPC)設計研發，TSRI 提供關鍵矽智財(Silicon IP)、虛擬驗證環境以及雛形驗證環境予學界研發團隊使用。

1. 關鍵矽智財

(1). 運算處理器

- ANDES RISC-V處理器核心：包含N25F, NX25F, D25F, A27, AX27L2, AX45MP, AnDLA I350, ACE, AndesSight, AICE。
- Arm處理器核心：Neoverse系列CPU以及Arm Academic Access可取得的所有處理器核心，例如Cortex-A55等，
(<https://www.arm.com/resources/research/enablement/academic-access>)

(2). 晶片內互聯電路

- Arm CORELINK CMN(Coherent Mesh Network)

(3). 晶片間互聯電路

- UCIE

(4). 高頻寬記憶體控制電路

- HBM(標準介面及國內廠商自訂介面)

2. 虛擬驗證環境

TSRI將基於Synopsys Platform Architect/Virtualizer，建立虛擬驗證環境。在虛擬驗證環境所需的關鍵矽智產的模型，例如Neoverse系列CPU以及Arm CORELINK CMN，TSRI亦規劃同步引進。

3. 雛型驗證環境

TSRI持續提供Synopsys HAPS FPGA雛形驗證環境使用服務。在完整HPC驗證方面，由於完整電路極為龐大複雜，TSRI規劃以Emulator來進行，例如使用Synopsys Zebu進行emulation。

備註：底線標示為確認中。

貳、 前瞻製程服務及設計平台

TSRI 建置台積電(TSMC) 7 nm、16 nm FinFET 製程設計平台，提供包含數位/類比/RF/混合訊號等電路設計環境與設計套件，並配合本中心晶片實作服務提供 TSMC 7 nm、16 nm FinFET 製程及 TSMC 28 nm HPC+ 製程晶片實作服務，亦可配合研究團隊之需求提供獨立梯次 16 nm/28 nm之shuttle 給予研究團隊進行晶片製作。在 28 nm 製程 shuttle 可額外提供 Flip Chip 選項之自費晶片下線與DRC驗證技術諮詢。特殊製程方面，除了提供TSMC 0.5 μm 12V/650V GaN製程可設計高功率變壓器、充電器和逆變器IC晶片模組外，規劃引進0.18 μm image/optical sensor technology 製程及90/40 nm BCD (Bipolar-CMOS-DMOS)製程。參考112年 TSMC shuttle 時程與TSRI年度常規梯次，將可依照經費與團隊需求規劃晶片實作服務，如下表所示。

製程常規梯次列表

製程種類	年度常規梯次
TSMC 7 nm (N7)	1
TSMC 16 nm FFC	2
TSMC 28 nm HPC+	3
0.18 μm image/optical sensor technology*	2
TSMC 90/40 nm BCD**	1
TSMC 0.5 μm 12V/650V GaN	2
*提供之Foundry與實作服務梯次數待確定	
**洽談爭取中	

規劃進行 7nm電磁模擬基板參數設定，提供學術界7 nm/16 nm電磁模擬基板參數協助開發太赫茲(subTHz)電路，並同時提供下線驗證服務與技術諮詢，加速設計定案(Tape-out)時程。

參、異質整合晶片及封裝平台

TSRI將建立8吋異質整合晶片技術平台以協助國內學研團隊進行2.5D/3D晶片系統整合開發，除優化原有的2.5D矽穿孔(Through Silicon Via, TSV)中介層技術外，將更進一步透過穩定製程，提升0.18 μm CMOS及8吋晶圓背面矽穿孔(backside TSV)技術的良率，來達成CMOS interposer之關鍵技術開發。同時，亦藉由TSV孔徑之微縮化及結合高密度晶片級(die level) microbump及CoCoP(chip on chip on PCB)晶粒堆疊技術的來協助學研團隊加速2.5D/3D異質晶片整合開發及驗證。TSRI可提供學術界 2.5D/3D 異質整合晶片技術及諮詢服務包含：

1. 晶片與IPD、2.5D 中介層(interposer)和電路板整合設計諮詢提供學術團隊IPD/中介層與電路板(PCB)打線(wire bond)/覆晶對接及晶片與IPD/中介層打線/覆晶對接製作技術諮詢。
2. 8吋CMOS backside TSV技術：為了提供感測、AI、電源管理等不同晶片在中介層需要多層金屬線的繞接及模擬，開發8吋0.18 μm CMOS backside TSV技術，在0.18 μm CMOS中除了有六層金屬層可供繞線外，也有主動元件和被動元件：MiM電容及電感來讓使用者可以有更多樣性的整合，而且這些主被動元件和金屬線皆有PDK，可以讓設計者在整合前進行模擬及設計調整。CMOS backside TSV技術不只可以當作中介層使用，亦可提供生醫及影像晶片的電訊號透過TSV和中介層連結，並和在晶片上方的感測訊號分離以避免互相干擾。初期TSV孔徑為40 μm ，為因應高效能晶片之整合，會先進行TSV孔徑微縮化到20 μm ，最終達到10 μm 。
3. TSRI自主晶片級microbump技術：考量前瞻製程晶圓成本及AI、MCU高接腳數及高速需求，開發晶片級microbump及覆晶對接技術，自主開發可管控制程變異及標準流程進而達到穩定的植球品質及整合良率，初期以50 μm pitch為目標，再開發更微縮45 μm pitch之技術，並將針對使用者設計需求提供2.5D/3D異質整合晶片技術諮詢及整合服務。
4. 晶片級/晶圓級覆晶(flip chip)封裝：提供晶圓對晶圓、晶片對晶圓

及晶片對晶片覆晶封裝技術服務。

5. 晶片級2.5D封裝(chip on chip on PCB)：結合2.5D 矽穿孔中介層製作及自主開發microbump技術，提供團隊以chip on chip on PCB(CoCoP)之垂直堆疊方式進行晶片級2.5D整合封裝，並針對使用者提供中介層及CoCoP技術諮詢及整合服務。
6. 先進異質封裝驗證EDA環境：將萃取TSRI自主晶片級microbump及0.18 μm CMOS backside TSV的DC/RF特性，結合0.18 μm CMOS 中介層中的金屬及Via特性提供學術界先進異質封裝驗證EDA環境，讓使用者在進行異質整合封裝前即可進行模擬，來確認整合後的特性是否符合規格。